

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 54-161856

(43)Date of publication of application : 21.12.1979

(51)Int.Cl. G06F 9/06

(21)Application number : 53-071672

(71)Applicant : MATSUSHITA ELECTRIC IND CO
LTD

(22)Date of filing : 13.06.1978

(72)Inventor : HIRAO TOSHIRO
HAMANO GORO
FUJISAKI KATSUMI

(54) STARTING METHOD OF MICROPROCESSOR

(57)Abstract:

PURPOSE: To continue the program execution in the normal memory space by replacing the addresses between the RAM region containing the memory start address and the ROM region containing the control program of the system at the starting time for execution of the program and then having reload under programing.

CONSTITUTION: Memory space 40 is divided into three RAM's and one ROM regions each of which is selected through address control gates 10W13. The memory region is converted at FF50 and reset with the signals of starting time. The start address of the starting time is 0000 with the selection signals delivered from gate 10 and does not enter RAM40 via AND gate 20 with output Q of FF50. While the output of gate 12 is supplied to ROM via OR gate 30 with output Q- of FF50, and the processor operates based on the program stored. In such constitution, the RAM region can be set regardless of the start address.

LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑫公開特許公報(A)

昭54—161856

⑪Int. Cl.²
G 06 F 9/06識別記号 ⑬日本分類
97(7) F 0庁内整理番号 ⑭公開 昭和54年(1979)12月21日
6745—5B発明の数 1
審査請求 未請求

(全 3 頁)

⑮マイクロプロセッサの起動方法

門真市大字門真1006番地 松下
電器産業株式会社内

⑯特 願 昭53—71672

⑰発 明 者 藤崎克己

⑱出 願 昭53(1978)6月13日

門真市大字門真1006番地 松下

⑲発 明 者 平尾俊郎

電器産業株式会社内

門真市大字門真1006番地 松下
電器産業株式会社内

⑳出 願 人 松下電器産業株式会社

門真市大字門真1006番地

同 浜野護朗

㉑代 理 人 弁理士 中尾敏男 外1名

明 細 書

1、発明の名称

マイクロプロセッサの起動方法

2、特許請求の範囲

パワーオン時のスタート番地がメモリ空間の最下位または最上位から始まるマイクロプロセッサシステムにおいて、前記メモリ空間の最下位または最上位を含むメモリ空間にランダムアクセスメモリを使用し、その他の一部の空間にリードオンリーメモリを使用した場合に、パワーオン時に自動的にオンになるような構成にした一つのフリップフロップ回路を使用して前記ランダムアクセスメモリ領域のアドレスと上記リードオンリーメモリ領域のアドレスを入れ替えるようにし、パワーオン直後は前記リードオンリーメモリに書かれたプログラムに従ってプロセッサを動作させ、前記フリップフロップ回路をプログラムでオフにして前記ランダムアクセスメモリ領域とリードオンリーメモリ領域のアドレスを元に戻すようにしたことを特徴とするマイクロプロセッサの起動方法。

2

3、発明の詳細な説明

本発明はマイクロプロセッサの起動方法、さらに詳しくは、マイクロプロセッサのパワーオン(電源投入)直後のRAM(ランダムアクセスメモリ)領域とROM(リードオンリーメモリ)領域のメモリアドレス変換に関するものである。

一般に、マイクロプロセッサのパワーオン後のスタートアドレスはメモリ空間の最下位または最上位である場合が多い。たとえば、パワーオン後のスタートアドレスが0番地であるような8ビットマイクロプロセッサの場合、該プロセッサシステムの制御プログラムはROMの形でメモリアドレス0番地から格納されることが多い。

しかし、割込み時の飛び先アドレスの格納アドレスが上記ROM領域に存在し、かつ制御プログラムの途中で飛び先アドレスを変更する場合、あるいはメモリアドレス0番地からをRAM領域として使用する場合に、メモリ空間内のRAM領域とROM領域の再配置を行なうことができれば効率的なメモリ空間を構成することができる。

3
本発明は以上の点に鑑み、マイクロプロセッサのパワーオン時に、メモリストार्टアドレスを含むRAM領域とマイクロプロセッサシステムの制御プログラムを含むROM領域のアドレスを入れ替えて制御プログラムを実行させ、該プログラム中に上記RAM領域とROM領域のアドレスを元に戻して通常のメモリ空間内でプログラムを続行させる方法を提供するものである。

以下、本発明を図示の実施例に基いて説明する。

第1図は本発明の一実施例を説明するためのブロック図であり、8ビットマイクロプロセッサのメモリ領域変換部を示したものである。メモリ容量は64Kバイトで、メモリアクセスのためのアドレス信号線はAB0~AB15である。本実施例では64Kバイトのメモリ空間が3つのRAM領域と1つのROM領域に4分割されている。図中の40はメモリアドレス0000~3FFFまでの第1のRAM領域、41はメモリアドレス4000~7FFFまでの第2のRAM領域、42はメモリアドレス8000~BFFFまでのROM

5
ROM領域に格納されているプログラムに従ってマイクロプロセッサは動作する。たとえば、ROM領域のプログラムが次のような形式である場合、

8000: JMP/H' 8003

8003: OUT/EXCHG

8005: :

メモリアドレス8000のJMP命令(3バイト命令)によって、マイクロプロセッサのプログラムカウンタは0000から8003に変更され、さらにメモリアドレス8003のOUT命令(2バイト命令)によって、セット信号(EXCHGN)が出力され、上記メモリ領域変換フリップフロップ回路60の出力状態が反転する。上記フリップフロップ回路60の出力信号は、上記ANDゲート20およびORゲート回路30に入力され、第1のRAM領域とROM領域のメモリアドレスは再度入れ替わることになる。

一方、プロセッサシステムは、メモリアドレス8005からのプログラムに従って動作すること

領域、43はメモリアドレスC000~FFFFまでの第3のRAM領域である。10, 11, 12, 13はそれぞれ第1のRAM領域、第2のRAM領域、ROM領域、第3のRAM領域を選択するためのアドレス制御ゲート回路である。50はメモリ領域変換フリップフロップ回路であり、プロセッサシステムのパワーオン時のリセット信号(RESETN)でリセットされる。本実施例で使用するマイクロプロセッサのパワーオン時のスタートアドレスは0000であるため、メモリ領域選択信号はアドレス制御ゲート回路10から出力される。図中の20は上記アドレス制御ゲート回路10の出力信号と上記メモリ領域変換フリップフロップ回路60のQ出力信号のANDをとるANDゲート回路であるため、上記メモリ領域選択信号は第1のRAM領域に入力されない。

一方、30はアドレス制御ゲート回路12の出力信号と上記メモリ領域変換フリップフロップ回路60のQ出力信号のORゲートであるため、ROM領域にメモリ領域選択信号が入力され、

6
になる。すなわち、パワーオン時のスタートアドレスが0000であるにもかかわらず、本実施例のメモリ領域変換部によってプログラムは8000からスタートし、メモリアドレス0000~7FFFおよびC000~FFFFはRAM領域として使用することができる。

第2図は、本発明の他の実施例を説明するためのブロック図で、メモリ領域変換部を示している。図中、70, 71, 72, 73はANDゲート回路、80, 81はORゲート回路で、その他は第1図と同様である。この第2図の実施例においては、メモリアドレス0000~3FFFの第1のRAM領域40は、メモリ領域変換フリップフロップ回路50がセット信号(EXCHGN)でセットされるまで、メモリアドレス8000~BFFFとしてリード/ライトされる。この場合、プロセッサシステムを制御するプログラムは、パワーオン後に第1のRAM領域40に書込まれ、ROM領域42のプログラムがメモリ領域変換フリップフロップ60に対してセット信号を出力した時点で、

4、図面の簡単な説明

10~13……アドレス制御ゲート回路、20、
70~73……ANDゲート回路、30、80、81
……ORゲート回路、50……メモリ領域変換フ
リップフロップ回路、40……第1のRAM領域、

代理人の氏名 弁理士 中 尾 敏 男 ほか1名

Figure 1 is a block diagram of the control circuit for the microcomputer system. The diagram shows four 2-to-1 multiplexers (10, 11, 12, 13) selecting between AB14 and AB15 inputs. The outputs of these multiplexers are connected to the address bus (AB0~13) of the RAM and ROM. The RAM is divided into four banks, each with a 4096-word capacity. The ROM is a 16K-word device. The control circuit also includes a RESETN input, a CLEAR input, and a 50ms delay timer. The output of the timer is connected to the RESETN input. The control circuit is connected to the microcomputer system via a 16-bit data bus (D0~15) and a 16-bit address bus (A0~15).